

Citation 1

Japanese Patent Public Disclosure (Kokai) No. 72543/89

Date of Disclosure: March 17, 1989

Application No. 228794/87

Date of Application: September 12, 1987

Inventors: Koji Ohtsu and Akihiko Ochiai

Applicant: Sony Corporation

Title of the Invention

Process for producing a semiconductor device

Abstract:

(Brief description of one embodiment)

Figs. 1(a) to 1(b) are cross-sectional views representing structures at each steps of a process falling within the scope of the present invention.

- 10: silicon substrate,
- 11: PMOS transistor,
- 12: NMOS transistor,
- 13: n<sup>-</sup>-well region,
- 14: p<sup>-</sup>-well region,
- 15: field oxide,
- 16: gate electrode,
- 17: p<sup>+</sup>-type diffusion layer,
- 18: gate electrode,
- 19: n<sup>+</sup>-type diffusion layer,
- 20: impurities diffusion barrier layer,

(The barrier layer 20 is formed to ensure that connection will be made between diffusion layers and a polysilicon layer and, particularly, pn junction will not be made between a diffusion layer and a polysilicon layer when their conductivity type is different. Therefore, when their conductivity type is the same, formation of the barrier layer can be omitted. The layer 20 includes, but not limited to, a two-layer substrate of titanium silicide and high-melting point metals such as tungsten, molybdenum, platinum and tantalum.)

- 21: reflow film such as BSG, PSG and AsSG,
- 22: via hole,
- 23: polysilicon layer including impurities such as phosphorus,
- 24: titanium nitride layer (layer of a silicide of platinum, molybdenum, tungsten, titanium or the like),
- 25: (silicon-containing) aluminum or other material wiring layer

(Effect of the invention)

The invention succeeded in producing a semiconductor device comprising a MIS transistor of a first conductivity type and a second conductivity type without formation of pn junction.

Further, because a polysilicon layer (23) has good

coverage, a highly integrated device can be formed with a diffusion layer and a wiring layer being surely connected.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭64-72543

⑫ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)3月17日

H.01 L 21/90  
27/08  
29/46  
29/78

3 2 1

3 0 1

C-6708-5F  
F-7735-5F  
T-7638-5F  
P-8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-228794

⑯ 出 願 昭62(1987)9月12日

⑰ 発 明 者 大 津 孝 二 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑱ 発 明 者 落 合 昭 彦 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑳ 代 理 人 弁理士 小 池 晃 外2名

#### 明 細 書

#### 1. 発明の名称

半導体装置の製造方法

#### 2. 特許請求の範囲

第1導電型および第2導電型のMISトランジスタを基板上に形成し、

少なくとも上記第1導電型のMISトランジスタの拡散層上に導電性を有した不純物拡散バリヤ層を形成し、

少なくとも上記不純物拡散バリヤ層と接続する第2導電型の電極取り出し層を形成し、

上記電極取り出し層を介して上記第1導電型および第2導電型のMISトランジスタを電気的に接続する配線層を形成することを特徴とする半導体装置の製造方法。

#### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は基板上に第1導電型および第2導電型のMISトランジスタを形成する半導体装置の製造方法に関し、特に拡散層と配線層の接続に特徴を有する半導体装置の製造方法に関する。

#### (発明の概要)

本発明は、基板上に第1導電型および第2導電型のMISトランジスタを形成する半導体装置の製造方法において、少なくとも上記第1導電型のMISトランジスタの拡散層上に導電性を有した不純物拡散バリヤ層を形成し、少なくとも上記不純物拡散バリヤ層と接続する第2導電型の電極取り出し層を形成して、MISトランジスタ相互の接続を図ることにより、微細化を図った場合であっても確実な拡散層と配線層の接続を行う方法である。

#### (従来の技術)

一般に、同一基板上にPMOSTランジスタとNMOSTランジスタの双方を形成したCMOS

図16、18や各拡散層17、19の表面を露出させ、これら各領域においてシリコン面を露出させる。

(4) 次に、チタン層を蒸着法等により被着形成する。そして、RTA（ラビッド・サーマル・アニール）法等の手段によってシリサイド化処理を行い、上記シリコン面が露出した上記各ゲート電極16、18や各拡散層17、19の表面にチタンシリサイド層を形成させる。続いて、安定化のためにプラズマ酸化処理を行い、上記チタンシリサイド層上に窒化チタン層を積層し、第1図bに示すように、これらチタンシリサイド層と窒化チタン層で構成される不純物拡散バリア層20を形成する。

ここで、上記不純物拡散バリア層20は、上記各拡散層17、19と後述する多結晶シリコン層との接触を確実に行うために形成されるものであり、特に拡散層と多結晶シリコン層の間の導電型が異なる時にPN接合を生じさせないためのものである。また、このような不純物拡散バリア層2

所定の部分で電気的な接触を図るための各々ビアホール22をそのリフロー膜21に形成する。このビアホール22の底部には、上記不純物拡散バリア層20が露出する。

続いて、ステップカバレッジの優れた低圧CVD法を用いてリンを含有する多結晶シリコン層23を第2導電型の電極取り出し層として被着形成する。すると、上記ビアホール22は充填され、特に高倍率化を図り、そのアスペクト比が大きくなった場合にも金属材料に比較して十分にビアホール22は充填される。

ここで、リンを含有する多結晶シリコン層23はN型の導電型であり、直接P<sup>+</sup>型の拡散層17等と接触した場合にはPN接合が生ずるが、上記不純物拡散バリア層20により間接的に接触するためPN接合は生じない。従って、微細化を実現すると共に、PMOSTランジスタ11とNMOSTランジスタ12を同時に接触させることが可能となる。

なお、多結晶シリコン層23に含有される不純

物の形成から接触抵抗の低減等も実現し、上記シリサイド化は上記シリコン露出面だけで行われる。上記不純物拡散バリア層20としては、上述のチタンを用いたものに限定されず、他のタングステンやモリブデン、白金、タンタル等の高融点金属を用いても良い。また、シリサイド層上に高融点金属層を積層することもできる。

また、本実施例では、露出した2つの導電型の各拡散層17、19に各々上記不純物拡散バリア層20を形成しているが、後述する多結晶シリコン層の導電型と同じ導電型の拡散層には上記不純物拡散バリア層20を設けずとも良い。すなわち、電極取り出し層としての多結晶シリコン層がP型であるときは、N<sup>+</sup>型の拡散層との間だけに不純物拡散バリア層20を設ける様にしても良く、電極取り出し層としての多結晶シリコン層がN型であるときは、P<sup>+</sup>型の拡散層との間だけに不純物拡散バリア層20を設ける様にしても良い。

(4) 次に、第1図cに示すように、全面にBSG、PSG、A-SG等のリフロー膜21を形成し、

物はリンに限定されず、他の不純物であっても良い。また、P型若しくはN型の拡散層のみに上記不純物拡散バリア層20を形成した場合は、その反対の導電型の多結晶シリコン層を形成することが必要である。

(4) 次に、第1図dに示すように、上記各ビアホール22を充填した多結晶シリコン層22を例えばRIE（反応性イオンエッチング）法によりエッチバックし、平坦化させる。そして、密着性の向上や低抵抗化のために窒化チタン層24を形成した後、全面にA<sub>1</sub>（シリコンを含有する。）配線層25を形成する。そして、図示を省略するが、上記A<sub>1</sub>配線層25をパターンニングしてPMOSTランジスタ11とNMOSTランジスタ12の電気的な接触を行う。

なお、上記窒化チタン層24はなくとも良い。また、窒化チタン層24ではなく、白金、モリブデン、タングステン、チタン等の材料を蒸着し、その後シリサイド化するようにしても良い。また、配線層もA<sub>1</sub>配線層に限定されず、他の材料を用

いることもでき、さらに配線層は、上記ビアホール22に充填した電極取り出し層としての多結晶シリコン層23と同じ材料で同時に形成される如きものであっても良い。

上述の工程より行われる本実施例の半導体装置の製造方法は、上記多結晶シリコン層23は異なる導電型の拡散層との間で不純物拡散バリア層を介して接続しており、PN接合が形成される問題も生じない。そして、カバレッジの良い多結晶シリコン層23を用いてビアホール22を充填することができるため、素子の高集積化を図った場合でも十分に確実な接続を図ることができる。

また、不純物拡散バリア層20をシリサイド化するときには、シリコン露出面のみに形成され、酸化膜上には形成されない。さらに不純物拡散バリア層20の形成によって、接触抵抗を低く抑えることができる。また、上記不純物拡散バリア層20の構造をチタンシリサイド層と窒化チタン層が積層される構造とした時では、窒化チタン層によってバリヤ効果が向上する。

#### 4. 図面の簡単な説明

第1図a～第1図dは本発明の半導体装置の製造方法をその工程に従って説明するためのそれぞれ工程断面図である。

- 10…シリコン基板
- 11…PMOSTランジスタ
- 12…NMOSTランジスタ
- 17…P<sup>+</sup>型の拡散層
- 19…N<sup>+</sup>型の拡散層
- 20…不純物拡散バリア層
- 22…ビアホール
- 23…多結晶シリコン層

特許出願人      ソニー株式会社  
 代理人弁理士    小池 晃  
                     田村 果一  
                     佐藤 勝

なお、上述の実施例においては、双方の導電型の拡散層17、19のそれぞれに不純物拡散バリア層20を形成したが、これに限定されず前述したように一方の導電型（第1導電型）の拡散層にのみ不純物拡散バリア層を形成し、その反対の導電型（第2導電型）の電極取り出し層を設けるようにすることもできる。

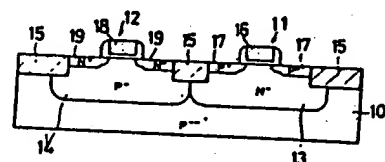
また、本発明の半導体装置の製造方法は、その要旨を逸脱しない範囲での変更が可能である。

#### (発明の効果)

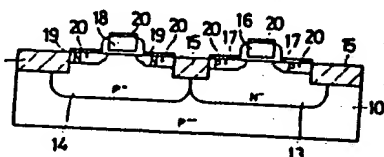
本発明の半導体装置の製造方法は、電極取り出し層は異なる導電型の拡散層との間で不純物拡散バリア層を介して接続しており、第1導電型および第2導電型のMISトランジスタが形成される半導体装置においてPN接合が形成される問題も生じない。そして、カバレッジの良い電極取り出し層を用いることができ、素子の高集積化を図った場合でも拡散層と配線層の確実な接続を図ることができる。

第1図a

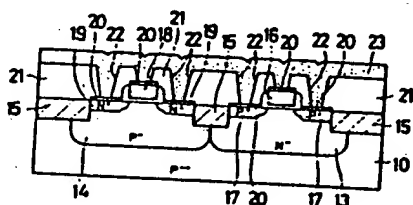
10…シリコン基板  
 11…PMOSTランジスタ  
 12…NMOSTランジスタ



第1図b



第1図c



第1図d

20…不純物拡散バリア層  
 22…ビアホール  
 23…多結晶シリコン層

